

Family list

1 application(s) for: JP2000340503 (A)

MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE

Inventor: ABE HIROYUKI

Applicant: SEIKO EPSON CORP

EC•

IPC: G09F9/30; G02F1/136; G02F1/1368; (+14)

Publication info: JP2000340503 (A) — 2000-12-08

Data supplied from the esp@cenet database — Worldwide

MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE

Publication number: JP2000340503 (A)

Publication date: 2000-12-08

Inventor(s): ABE HIROYUKI

Applicant(s): SEIKO EPSON CORP

Classification:

- international: G09F9/30; G02F1/136; H02F1/136; H01L21/20; H01L21/288; H01L21/336; H01L29/786; G09F9/30; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; G02F1/136, G09F9/30; H01L21/268; H01L21/336; H01L29/786

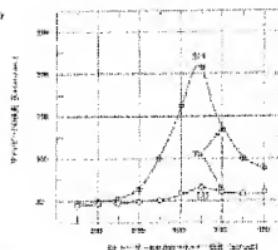
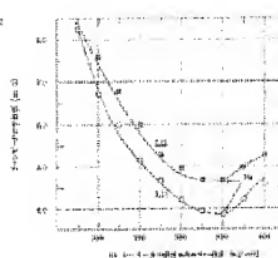
- European:

Application number: JP19990146394 19990526

Priority number(s): JP19990146394 19990526

Abstract of JP 2000340503 (A)

PROBLEM TO BE SOLVED: To provide a manufacture for a high quality semiconductor film which has a large particle size, high in crystallinity, and low in surface roughness. **SOLUTION:** Energy light irradiation for obtaining a polycrystalline silicon film is conducted twice, and the first irradiation is made in a vacuum having no oxide film removal processing of a semiconductor film surface, or is made in the atmosphere or in the ambience in which any gas is filled up to the exclusion of vacuum. A surface processing of a semiconductor film is performed prior to the second irradiation, and after the oxide film is eliminated, the irradiation is made in vacuum. Furthermore, intensity of second energy light irradiation is adjusted so as not to exceed the irradiation intensity of the first energy lights.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-340503

(P2000-340503A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	チ-マーク* (参考)
H 01 L 21/20		H 01 L 21/20	2 H 0 9 2
G 02 F 1/136	5 0 0	G 02 F 1/136	5 0 0 5 C 0 9 4
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 5 F 0 5 2
H 01 L 21/268		H 01 L 21/268	F 5 F 1 1 0
29/786		29/78	6 2 7 G

審査請求 未請求 請求項の数12 O.L (全 13 頁) 最終頁に統ぐ

(21) 出願番号 特願平11-146394

(71) 出願人 000002369

(22) 出願日 平成11年5月26日 (1999.5.26)

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 阿部 裕幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

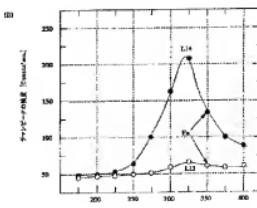
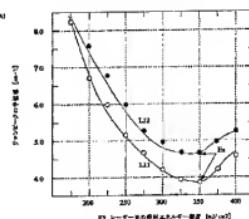
最終頁に統ぐ

(54) 【発明の名称】 半導体膜の製造方法、薄膜トランジスタの製造方法、アクティブマトリクス基板

(57) 【要約】

【課題】 大粒径を有し、結晶性の高いかつ表面荒れの少ない高品質半導体膜の製造方法を提供することを課題とする。

【解決手段】 多結晶シリコン膜を得るためのエネルギー光照射を2回とし、その1回目は半導体膜表面の酸化膜除去処理なしで真空中にて行う。または大気中あるいは何らかのガスを充填した真空を除く雰囲気にて行う。2回目の照射の前には半導体膜の表面処理を行い酸化膜除去をした後、照射を真空中にて行う。また2回目のエネルギー光照射の強度が、1度目のエネルギー光の照射強度を越さないようにする。



【特許請求の範囲】

【請求項1】 基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、

前記半導体膜に第1エネルギー光の照射を行う工程と、前記第1エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第2エネルギー光の照射を行う工程を有することを特徴とする半導体膜の製造方法。

【請求項2】 請求項1において、前記第1及び第2エネルギー光の少なくとも一方はレーザー光であることを特徴とする半導体膜の製造方法。

【請求項3】 請求項2において、前記レーザー光はラインピームであることを特徴とする半導体膜の製造方法。

【請求項4】 請求項1ないし3のいずれか一項において、前記第1エネルギー光の照射は、大気中または所定のガスを充填した真空を除く雰囲気にて行うことを特徴とする半導体膜の製造方法。

【請求項5】 請求項1ないし3のいずれか一項において、前記第1エネルギー光の照射は、大気中または所定のガスを充填した真空を除く雰囲気にて行うことを特徴とする半導体膜の製造方法。

【請求項6】 請求項1ないし5のいずれか一項において、前記第1エネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないことを特徴とする半導体膜の製造方法。

【請求項7】 請求項1ないし6のいずれか一項において、前記第1エネルギー光の照射を行う工程の後、前記半導体膜表面の酸化膜を除去する工程を有することを特徴とする半導体膜の製造方法。

【請求項8】 請求項1ないし7のいずれか一項において、前記第2エネルギー光の照射は、真空中にて行うことを特徴とする半導体膜の製造方法。

【請求項9】 請求項1ないし8のいずれか一項において、前記第2エネルギー光の照射は、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないことを特徴とする半導体膜の製造方法。

【請求項10】 請求項1ないし9のいずれか一項において、前記第2エネルギー光の照射は、ラインピームであるエネルギー光の長手方向を、第1エネルギー光の照射時のラインピーム長手方向とは90度回転させることを特徴とする半導体膜の製造方法。

【請求項11】 請求項1ないし10のいずれかに規定する半導体膜の製造方法によって得た結晶性半導体膜から薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項12】 請求項11に規定する薄膜トランジスタの製造方法によって製造した薄膜トランジスタを有す

ることを特徴とするアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板表面に形成した半導体薄膜にエネルギー光を照射してその結晶化処理、あるいは結晶性を高めるための処理を行う半導体膜の製造方法、それを用いた薄膜トランジスタ（以下、TFTという。）の製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板、および半導体膜の製造方法に用いるアニール装置に関するものである。

【0002】

【従来の技術】 液晶表示装置に用いられるアクティブマトリクス基板では、基板に汎用の安価なガラス基板を用いることができるよう低温プロセスによるTFTの製造が望まれている。ここで、TFTのチャネル領域等を形成するに必要なシリコン膜のうち、アモルファシリコン膜については低温プロセスによって成膜できるものの、アモルファシリコンのままで得られるTFTの移動度が低いという欠点がある。

【0003】 そこで、基板上に形成したアモルファシリコン膜にレーザー光（エネルギー光）を照射して溶融結晶化する方法（レーザー・アニール）が検討されている。このようなレーザー光による溶融結晶化においては、その照射レーザー光強度、照射雰囲気そしてアモルファシリコン膜の表面状態により、得られる結晶性半導体膜の結晶粒径や結晶性、そして表面粗さが異なる。

【0004】 プロセス雰囲気やアモルファシリコン膜表面に酸素などの分子が存在すると、その分子を核とした結晶成長が起こり、粒径は拡大するが、欠陥が多い。また表面に大きな荒れが生じる。一方、表面処理によりアモルファシリコン膜表面の酸化膜を取り除いた後、真空中にてレーザー・アニールを行うと、幾分粒径は小さいが結晶性は高く、表面の荒れも小さい。これら処理条件のうち、粒径の大型化を図った場合の方が、比較的高いTFT特性が得やすいため、大気中にてレーザー・アニールが行われている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の半導体膜の製造方法では、TFTのチャネル部に大粒径が掛からなかった場合には、そのTFT特性は低くなってしまいばらつきの原因となる。また大きな表面荒れが生じるために、ゲート絶縁膜の耐圧が低下するといった問題点が生じる。

【0005】 これら問題点に鑑みて、本発明の課題は、大粒径が得られてかつ、結晶性の向上を図ることによって、ばらつきを低減し、また表面荒れを抑えることによってゲート耐圧の向上が可能となる高品質な半導体膜の製造方法、それを用いたTFTの製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するためには、本発明では、基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、前記半導体膜に第1エネルギー光の照射を行う工程と、前記第1エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第2エネルギー光の照射を行う工程を有することを特徴とする。

【0007】本発明では、前記半導体膜への第1エネルギー光の照射は、前記半導体膜表面の酸化膜除去処理なしで真空中にて、または大気中若しくは所定のガスを充填した真空中を除く雰囲気にて、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を超えない強度によって行っているため、酸素分子等を核とした結晶成長が生じることにより、結晶の大粒化が図られる。

【0008】統いて前記半導体膜表面の酸化膜除去のための表面処理を行った後、前記半導体膜への第2エネルギー光の照射を真空中にて、そのエネルギー光の強度が前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を超えない強度かつ、1度目のエネルギー光の照射強度を超えない強度によって行っているため、一度目の照射によって形成された大粒径を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減が図られる。

【0009】さらに前記半導体膜への第2エネルギー光の照射は、ラインピームであるエネルギー光の長手方向を、1度目のエネルギー光照射時のラインピーム長手方向とは90度回転して行っているため、ラインピームの照射跡が打ち消されることによって、一層、結晶性の均一性が向上する。

【0010】本発明では、2度の結晶化のためのエネルギー光の照射と表面処理のタイミングを組み合わせることによって、半導体膜は大粒径かつ均一性の高い結晶性を有する。それ故、このように構成した半導体膜を用いてTFTを製造すると、ばらつきのない高い電気特性を得られる。

【0011】本発明に係る結晶性半導体膜の製造方法は、この方法で得た結晶性半導体膜からTFTを製造することが好ましく、この方法で製造したTFTは、大型基板において高性能の電気特性が要求される液晶表示装置用のアクティブマトリクス基板上に駆動回路や画素スイッチング画素を構成するのに適している。

【0012】

【発明の実施の形態】本発明の各実施の形態を説明する前に、各形態で共通なアクティブマトリクス基板の基本的な構成、およびTFTを形成する基本的な工程を説明する。

【0013】【アクティブマトリクス基板の基本構成】

図1 (A)は、液晶表示装置に用いるアクティブマトリクス基板の構成を模式的に示す説明図である。

【0014】この図において液晶表示装置1は、そのアクティブマトリクス基板2上にデータ線3および走査線4が形成されている。そして、データ線3及び走査線4には画素用薄膜トランジスタ10を介して画素電極が接続されており、画素領域5がマトリクス上に形成されている。また、そこには画素用のTFT10を介して画像信号が入力され、液晶セルの液晶容量6が構成されている。

【0015】データ線3に対しては、シフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフタ82を備える走査ドライバ部8が構成されている。なお、画素領域5には、前段の走査線4との間に保持容量5が形成されることもある。

【0016】データドライバ部7や走査ドライバ部8では、図1 (B)に2段のインバータを示すように、N型のTFTn1、n2と、P型のTFTp1、p2によって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、基本的には同じ工程で製造される。

【0017】アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがあるが、いずれに対しても本発明を適用できる。

【0018】図2は、本形態のアクティブマトリクス基板2において画素領域5が形成されているアクティブマトリクス部の一部を拡大して示す平面図であり、図3 (A)は図2のA-A'線における断面図、図3 (B)は図2のB-B'線における断面図である。なお、データドライバ部7などのTFTは基本的には同一の構造を有するので、その図示を省略する。

【0019】これらの図において、いずれの画素領域5におけるTFT10はデータ線3に対して層間絶縁膜16に形成されたコンタクトホール17を介して電気的接

20 N型のTFTn1、n2と、P型のTFTp1、p2によって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、基本的には同じ工程で製造される。

30 40 50 60 70 80 90 100 110 120 130 140 150 160 170 180 190 200 210 220 230 240 250 260 270 280 290 300 310 320 330 340 350 360 370 380 390 400 410 420 430 440 450 460 470 480 490 500 510 520 530 540 550 560 570 580 590 600 610 620 630 640 650 660 670 680 690 700 710 720 730 740 750 760 770 780 790 800 810 820 830 840 850 860 870 880 890 900 910 920 930 940 950 960 970 980 990 1000 1010 1020 1030 1040 1050 1060 1070 1080 1090 1100 1110 1120 1130 1140 1150 1160 1170 1180 1190 1200 1210 1220 1230 1240 1250 1260 1270 1280 1290 1300 1310 1320 1330 1340 1350 1360 1370 1380 1390 1400 1410 1420 1430 1440 1450 1460 1470 1480 1490 1500 1510 1520 1530 1540 1550 1560 1570 1580 1590 1600 1610 1620 1630 1640 1650 1660 1670 1680 1690 1700 1710 1720 1730 1740 1750 1760 1770 1780 1790 1800 1810 1820 1830 1840 1850 1860 1870 1880 1890 1900 1910 1920 1930 1940 1950 1960 1970 1980 1990 2000 2010 2020 2030 2040 2050 2060 2070 2080 2090 2100 2110 2120 2130 2140 2150 2160 2170 2180 2190 2200 2210 2220 2230 2240 2250 2260 2270 2280 2290 2300 2310 2320 2330 2340 2350 2360 2370 2380 2390 2400 2410 2420 2430 2440 2450 2460 2470 2480 2490 2500 2510 2520 2530 2540 2550 2560 2570 2580 2590 2590 2600 2610 2620 2630 2640 2650 2660 2670 2680 2690 2700 2710 2720 2730 2740 2750 2760 2770 2780 2790 2800 2810 2820 2830 2840 2850 2860 2870 2880 2890 2900 2910 2920 2930 2940 2950 2960 2970 2980 2990 2990 3000 3010 3020 3030 3040 3050 3060 3070 3080 3090 3090 3100 3110 3120 3130 3140 3150 3160 3170 3180 3190 3190 3200 3210 3220 3230 3240 3250 3260 3270 3280 3290 3290 3300 3310 3320 3330 3340 3350 3360 3370 3380 3390 3390 3400 3410 3420 3430 3440 3450 3460 3470 3480 3490 3490 3500 3510 3520 3530 3540 3550 3560 3570 3580 3590 3590 3600 3610 3620 3630 3640 3650 3660 3670 3680 3690 3690 3700 3710 3720 3730 3740 3750 3760 3770 3780 3790 3790 3800 3810 3820 3830 3840 3850 3860 3870 3880 3890 3890 3900 3910 3920 3930 3940 3950 3960 3970 3980 3990 3990 4000 4010 4020 4030 4040 4050 4060 4070 4080 4090 4090 4100 4110 4120 4130 4140 4150 4160 4170 4180 4190 4190 4200 4210 4220 4230 4240 4250 4260 4270 4280 4290 4290 4300 4310 4320 4330 4340 4350 4360 4370 4380 4390 4390 4400 4410 4420 4430 4440 4450 4460 4470 4480 4490 4490 4500 4510 4520 4530 4540 4550 4560 4570 4580 4590 4590 4600 4610 4620 4630 4640 4650 4660 4670 4680 4690 4690 4700 4710 4720 4730 4740 4750 4760 4770 4780 4790 4790 4800 4810 4820 4830 4840 4850 4860 4870 4880 4890 4890 4900 4910 4920 4930 4940 4950 4960 4970 4980 4990 4990 5000 5010 5020 5030 5040 5050 5060 5070 5080 5090 5090 5100 5110 5120 5130 5140 5150 5160 5170 5180 5190 5190 5200 5210 5220 5230 5240 5250 5260 5270 5280 5290 5290 5300 5310 5320 5330 5340 5350 5360 5370 5380 5390 5390 5400 5410 5420 5430 5440 5450 5460 5470 5480 5490 5490 5500 5510 5520 5530 5540 5550 5560 5570 5580 5590 5590 5600 5610 5620 5630 5640 5650 5660 5670 5680 5690 5690 5700 5710 5720 5730 5740 5750 5760 5770 5780 5790 5790 5800 5810 5820 5830 5840 5850 5860 5870 5880 5890 5890 5900 5910 5920 5930 5940 5950 5960 5970 5980 5990 5990 6000 6010 6020 6030 6040 6050 6060 6070 6080 6090 6090 6100 6110 6120 6130 6140 6150 6160 6170 6180 6190 6190 6200 6210 6220 6230 6240 6250 6260 6270 6280 6290 6290 6300 6310 6320 6330 6340 6350 6360 6370 6380 6390 6390 6400 6410 6420 6430 6440 6450 6460 6470 6480 6490 6490 6500 6510 6520 6530 6540 6550 6560 6570 6580 6590 6590 6600 6610 6620 6630 6640 6650 6660 6670 6680 6690 6690 6700 6710 6720 6730 6740 6750 6760 6770 6780 6790 6790 6800 6810 6820 6830 6840 6850 6860 6870 6880 6890 6890 6900 6910 6920 6930 6940 6950 6960 6970 6980 6990 6990 7000 7010 7020 7030 7040 7050 7060 7070 7080 7090 7090 7100 7110 7120 7130 7140 7150 7160 7170 7180 7190 7190 7200 7210 7220 7230 7240 7250 7260 7270 7280 7290 7290 7300 7310 7320 7330 7340 7350 7360 7370 7380 7390 7390 7400 7410 7420 7430 7440 7450 7460 7470 7480 7490 7490 7500 7510 7520 7530 7540 7550 7560 7570 7580 7590 7590 7600 7610 7620 7630 7640 7650 7660 7670 7680 7690 7690 7700 7710 7720 7730 7740 7750 7760 7770 7780 7790 7790 7800 7810 7820 7830 7840 7850 7860 7870 7880 7890 7890 7900 7910 7920 7930 7940 7950 7960 7970 7980 7990 7990 8000 8010 8020 8030 8040 8050 8060 8070 8080 8090 8090 8100 8110 8120 8130 8140 8150 8160 8170 8180 8190 8190 8200 8210 8220 8230 8240 8250 8260 8270 8280 8290 8290 8300 8310 8320 8330 8340 8350 8360 8370 8380 8390 8390 8400 8410 8420 8430 8440 8450 8460 8470 8480 8490 8490 8500 8510 8520 8530 8540 8550 8560 8570 8580 8590 8590 8600 8610 8620 8630 8640 8650 8660 8670 8680 8690 8690 8700 8710 8720 8730 8740 8750 8760 8770 8780 8790 8790 8800 8810 8820 8830 8840 8850 8860 8870 8880 8890 8890 8900 8910 8920 8930 8940 8950 8960 8970 8980 8990 8990 9000 9010 9020 9030 9040 9050 9060 9070 9080 9090 9090 9100 9110 9120 9130 9140 9150 9160 9170 9180 9190 9190 9200 9210 9220 9230 9240 9250 9260 9270 9280 9290 9290 9300 9310 9320 9330 9340 9350 9360 9370 9380 9390 9390 9400 9410 9420 9430 9440 9450 9460 9470 9480 9490 9490 9500 9510 9520 9530 9540 9550 9560 9570 9580 9590 9590 9600 9610 9620 9630 9640 9650 9660 9670 9680 9690 9690 9700 9710 9720 9730 9740 9750 9760 9770 9780 9790 9790 9800 9810 9820 9830 9840 9850 9860 9870 9880 9890 9890 9900 9910 9920 9930 9940 9950 9960 9970 9980 9990 9990 10000 10010 10020 10030 10040 10050 10060 10070 10080 10090 10090 10100 10110 10120 10130 10140 10150 10160 10170 10180 10190 10190 10200 10210 10220 10230 10240 10250 10260 10270 10280 10290 10290 10300 10310 10320 10330 10340 10350 10360 10370 10380 10390 10390 10400 10410 10420 10430 10440 10450 10460 10470 10480 10490 10490 10500 10510 10520 10530 10540 10550 10560 10570 10580 10590 10590 10600 10610 10620 10630 10640 10650 10660 10670 10680 10690 10690 10700 10710 10720 10730 10740 10750 10760 10770 10780 10790 10790 10800 10810 10820 10830 10840 10850 10860 10870 10880 10890 10890 10900 10910 10920 10930 10940 10950 10960 10970 10980 10980 10990 10990 11000 11010 11020 11030 11040 11050 11060 11070 11080 11090 11090 11100 11110 11120 11130 11140 11150 11160 11170 11180 11190 11190 11200 11210 11220 11230 11240 11250 11260 11270 11280 11290 11290 11300 11310 11320 11330 11340 11350 11360 11370 11380 11390 11390 11400 11410 11420 11430 11440 11450 11460 11470 11480 11490 11490 11500 11510 11520 11530 11540 11550 11560 11570 11580 11590 11590 11600 11610 11620 11630 11640 11650 11660 11670 11680 11690 11690 11700 11710 11720 11730 11740 11750 11760 11770 11780 11790 11790 11800 11810 11820 11830 11840 11850 11860 11870 11880 11890 11890 11900 11910 11920 11930 11940 11950 11960 11970 11980 11980 11990 11990 12000 12010 12020 12030 12040 12050 12060 12070 12080 12090 12090 12100 12110 12120 12130 12140 12150 12160 12170 12180 12190 12190 12200 12210 12220 12230 12240 12250 12260 12270 12280 12290 12290 12300 12310 12320 12330 12340 12350 12360 12370 12380 12390 12390 12400 12410 12420 12430 12440 12450 12460 12470 12480 12490 12490 12500 12510 12520 12530 12540 12550 12560 12570 12580 12590 12590 12600 12610 12620 12630 12640 12650 12660 12670 12680 12690 12690 12700 12710 12720 12730 12740 12750 12760 12770 12780 12790 12790 12800 12810 12820 12830 12840 12850 12860 12870 12880 12890 12890 12900 12910 12920 12930 12940 12950 12960 12970 12980 12980 12990 12990 13000 13010 13020 13030 13040 13050 13060 13070 13080 13090 13090 13100 13110 13120 13130 13140 13150 13160 13170 13180 13190 13190 13200 13210 13220 13230 13240 13250 13260 13270 13280 13290 13290 13300 13310 13320 13330 13340 13350 13360 13370 13380 13390 13390 13400 13410 13420 13430 13440 13450 13460 13470 13480 13490 13490 13500 13510 13520 13530 13540 13550 13560 13570 13580 13590 13590 13600 13610 13620 13630 13640 13650 13660 13670 13680 13690 13690 13700 13710 13720 13730 13740 13750 13760 13770 13780 13790 13790 13800 13810 13820 13830 13840 13850 13860 13870 13880 13890 13890 13900 13910 13920 13930 13940 13950 13960 13970 13980 13980 13990 13990 14000 14010 14020 14030 14040 14050 14060 14070 14080 14090 14090 14100 14110 14120 14130 14140 14150 14160 14170 14180 14190 14190 14200 14210 14220 14230 14240 14250 14260 14270 14280 14290 14290 14300 14310 14320 14330 14340 14350 14360 14370 14380 14390 14390 14400 14410 14420 14430 14440 14450 14460 14470 14480 14490 14490 14500 14510 14520 14530 14540 14550 14560 14570 14580 14590 14590 14600 14610 14620 14630 14640 14650 14660 14670 14680 14690 14690 14700 14710 14720 14730 14740 14750 14760 14770 14780 14790 14790 14800 14810 14820 14830 14840 14850 14860 14870 14880 14890 14890 14900 14910 14920 14930 14940 14950 14960 14970 14980 14980 14990 14990 15000 15010 15020 15030 15040 15050 15060 15070 15080 15090 15090 15100 15110 15120 15130 15140 15150 15160 15170 15180 15190 15190 15200 15210 15220 15230 15240 15250 15260 15270 15280 15290 15290 15300 15310 15320 15330 15340 15350 15360 15370 15380 15390 15390 15400 15410 15420 15430 15440 15450 15460 15470 15480 15490 15490 15500 15510 15520 15530 15540 15550 15560 15570 15580 15590 15590 15600 15610 15620 15630 15640 15650 15660 15670 15680 15690 15690 15700 15710 15720 15730 15740 15750 15760 15770 15780 15790 15790 15800 15810 15820 15830 15840 15850 15860 15870 15880 15890 15890 15900 15910 15920 15930 15940 15950 15960 15970 15980 15980 15990 15990 16000 16010 16020 16030 16040 16050 16060 16070 16080 16090 16090 16100 16110 16120 16130 16140 16150 16160 16170 16180 16190 16190 16200 16210 16220 16230 16240 16250 16260 16270 16280 16290 16290 16300 16310 16320 16330 16340 16350 16360 16370 16380 16390 16390 16400 16410 16420 16430 16440 16450 16460 16470 16480 16490 16490 16500 16510 16520 16530 16540 16550 16560 16570 16580 16590 16590 16600 16610 16620 16630 16640 16650 16660 16670 16680 16690 16690 16700 16710 16720 16730 16740 16750 16760 16770 16780 16790 16790 16800 16810 16820 16830 16840 16850 16860 16870 16880 16890 16890 16900 169

統するソース領域11、画素電極19に対して層間絶縁膜16に形成されたコンタクトホール18を介して電気的接続するドレイン領域12、ドレイン領域12とソース領域11との間に位置するチャネル領域13、およびチャネル領域13に対してゲート絶縁膜14を介して対応するゲート電極15から構成されている。このゲート電極15は走査線4の一部として構成されている。なお、基板20の表面側には、シリコン酸化膜からなる下地保護膜21が形成されている。

【0020】〔アクティピマトリクス基板2の製造方法の基本構成〕図4を参照して、TFTの製造方法の基本的な工程を説明する。図4は、図2のA-A'線における断面に対応するTFTの工程断面図である。

【0021】本例では、ガラス基板として、300mm角の無アルカリガラス板を用いて以下の各工程を行なう(下地保護膜形成工程)図4(A)において、まず、PECVD法により250~400°Cの温度条件下で、ガラス基板20の表面に下地保護膜21となる膜厚が30nmのシリコン酸化膜を形成する。シリコン酸化膜は、APCVD法でも形成することができ、この場合には基板20の温度を250°Cから450°Cまでの範囲に設定した状態で、モノシリラン及び酸素を原料ガスとしてシリコン酸化膜を形成する。

【0022】(半導体堆積工程)次に、下地保護膜21の表面に真性のシリコン膜30(半導体膜)を50nm程度堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシランを2000SCCM流しながら、425°Cの堆積温度でアモルファスシリコン膜30を堆積する。なお、シリコン膜30の形成にあたっては、PECVD法やスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から350°Cまでの範囲に設定することができる。

【0023】(レーザー溶融結晶化法によるアニール工程)統いてアモルファスシリコン膜30にレーザー光を照射してアモルファスシリコン膜30を多結晶シリコンに改質する。本例では、ゼンノ・クロライド(XeCl)のエキシマ・レーザー(波長が308nm)を照射する。出力が200Wであるこのレーザービームを光学系を介すことによって、長尺方向が150mm、断面のビーム形状は上底が0.35mm、下底が0.45mmである台形のラインビームを形成している。そしてこのラインビームを、基板に対して上底のビーム幅以下のピッチで重なりを持ちながら、照射していくことによって、アモルファスシリコン膜は溶融結晶化により多結晶シリコン膜となる。

【0024】本発明では、このアニール工程のレーザー照射を2度に分けて行い、前後するレーザー照射の間に酸化膜除去のための表面処理を行なう、その詳細な説明は実施の形態に後述する。

【0025】(シリコン膜のバーニング工程)次に、

図4(B)に示すように、アニール工程で多結晶化したシリコン膜30を、フォトリソグラフィ技術を用いてバーニングを行い、島状のシリコン膜31とする。

【0026】(ゲート絶縁膜の形成工程)次に、図4(C)に示すように、PECVD法により250°C~400°Cの温度条件下で、シリコン膜31に対してシリコン酸化膜からなるゲート酸化膜14を形成する。

【0027】(ゲート電極形成工程)次に、ゲート酸化膜14の表面側に膜厚が600nmのタンタル薄膜をス

10 パック法により形成した後、それをフォトリソグラフィ技術を用いてバーニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180°Cに設定し、スペッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造が α 構造であり、その比抵抗は小さい。

【0028】(不純物導入工程)次に、パケット型質量非分離型のイオン注入装置(イオンドーピング装置)を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。Nチャネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したホスフィンなどを用いる。その結果、ゲート電極15に対してセルフアライメントによるソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかつた部分がチャネル領域13となる。このとき、Pチャネル型のTFTを形成する領域をレジストマスクで覆つておく。

【0029】逆に、Pチャネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したジボランなどを用いるが、その際にはNチャネル型のTFTを形成する領域をレジストマスクで覆つておく。

【0030】(層間絶縁膜の形成工程)次に、図4(D)に示すように、PECVD法により250°C~400°Cの温度条件下で、層間絶縁膜16としての膜厚が500nmのシリコン酸化膜を形成する。このときの原料ガスは、TEOSと酸素である。

【0031】(活性化工程)次に、水素を3%含んだアルゴンガス雰囲気下で400°C、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質を行なう。

【0032】(配線工程)次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、図3(A)に示したように、コンタクトホール17、18を介して、ソース電極(データ線3)をソース領域11に電気的に接続し、ドレイン電極(画素電極19)をドレイン領域12に電気的に接続し、TFT10を形成する。

【0033】なお、上記の製造方法は、TFT10をセ

ルアライン構造として製造する例であったが、TFT 10をLDD構造あるいはオフセットゲート構造で製造する場合でも本発明を適用できる。この場合の構造や製造方法についての説明を省略するが、レジストマスクやサイドウォールを利用して、ソース・ドレイン領域のうち、ゲート電極15の端部に対応する部分には低濃度ソース・ドレイン領域（LDD領域）、あるいはオフセット領域を形成する。

【0034】〔レーザー照射時のエネルギー密度と膜質〕次に、図4（A）を参照して説明したアニール工程において、アモルファスのシリコン膜30に照射したレーザー光のエネルギー密度（エネルギー強度）と、レーザー照射後の膜質との関係を、図5ないし図6を参照して説明しておく。

【0035】本発明のいずれの形態でも、後述するように、アモルファスのシリコン膜をレーザー溶融結晶化法により多結晶化させるが、このレーザー溶融結晶化法では、図5に示すように、エネルギー密度Eを増加させていくと、「▲」および一点鉛線L1で示すEc以上でシリコン膜には溶融凝固が起って多結晶化する。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むが、エネルギー密度Eが「□」および点線L2で示すEaを超えるとシリコン膜は微結晶化し、移動度の低下が起ってしまう。

【0036】また、シリコン膜の膜厚が薄い場合には、エネルギー密度EがEaを越えなくても、エネルギー密度Eが「○」および二点鉛線L3で示すEbを超えると、アモルファスシリコン膜に戻ってしまう。なお、エネルギー密度Eが「△」および実線L4で示すEdを超えると、シリコン膜は蒸発、アブレーションしてしまう。

【0037】また、パルス発振レーザー光のエネルギー密度Eを変えたときのシリコン膜の結晶性と表面粗さを図6に示す。ここで「○」と図6（A）の実線L11と同図（B）のL13によって示したのは、レーザー照射の前に酸化膜除去のための表面処理を行った後、レーザー照射を真空中で行った結果であり、同じく「●」と図6（A）の実線L12と同図（B）のL14によって示したのは、レーザー照射の前に表面処理を行わず、レーザー照射を真空中で行った結果である。また大気中や何らかのガスを充填した雰囲気でレーザー照射を行っても後者と同等な結果となる。

【0038】図6（A）の縦軸は、ラマンピークの半値幅であるから、その値が小さいほど、結晶性が高いことを表す。また図6（B）の縦軸は、ラマンピークの強度であるから、その値が小さいほど、半導体膜表面からの散乱光が少ないということで、表面荒れが小さいことを表す。

【0039】これらの結果を比較してわかるように、レーザー溶融結晶化では、エネルギー密度Eの最高値を上

限値Eaにかなり近い値に設定すれば、その結晶性を高めることができ、アモルファス膜表面処理を行った後でレーザー照射を真空中で行った方がより高い結晶性が得られる。ラマンピークの半値幅が上限値Eaをわずかに越えた付近で跳ね上がっているのが、シリコン膜の微結晶化が生じている状態である。

【0040】一方で表面荒れはエネルギー密度Eが上限値Eaよりわずかに低いエネルギー密度において最大となり、特にレーザー照射の前に表面処理を行わずにレーザー照射を真空中で行うか、大気中または何らかのガスを充填した雰囲気でレーザー照射を行う場合においては一段と顕著である。

【0041】TFT 10の特性を決定せしめる条件として、シリコン膜30の結晶性は高い方が好ましいのであるが、それ以上に半導体膜を形成する結晶粒径の大小の影響が大きい。概して結晶粒の大型化を図る上ではプロセス雰囲気やアモルファスシリコン膜表面に酸素などの分子が存在する方が、その分子を核とした結晶成長が起こるため、容易に大粒径化が図られる。そのため前記した結晶性ないし表面粗さといった問題があるにしろ、大気中でのレーザー照射や、アモルファス膜表面処理を行わずに結晶化を行っている。

【0042】しかしながらこのような結晶化の手法であっては、大型化した結晶粒がTFT 10のチャネル部に位置した場合と、大型結晶粒間を埋める様に存在する小型の結晶粒群がTFT 10のチャネル部に位置した場合とではTFT 10の電気特性に差が生じ、ばらつきの原因となってしまう。特に前記したように、この場合得られる小型の結晶粒群の結晶性は高くないので、その影響は顕著である。また半導体膜表面に大きな表面荒れが生じしまうことによっても、これを覆うゲート絶縁膜の電気的耐圧が低下してしまう問題が発生する。

【0043】そこで、本発明では、レーザー照射を2度行うことを特徴としており、1度目の照射の前にはアモルファス膜の表面処理を行わずにレーザー照射を真空中で行うか、大気中または何らかのガスを充填した雰囲気でレーザー照射を行うことによって結晶粒の大型化を図る。続いて2度目の照射の前に、1度目の照射で得られた多結晶シリコン膜の表面処理を行い、酸化膜除去を行った後、2度目のエネルギー光の照射を真空中で行う。そしてこの時のエネルギー光強度は、半導体膜に微結晶化が生じるエネルギー強度のしきい値を超えない強度であると共に、1度目のエネルギー光の照射強度を越えない強度とすることで、一度目の照射によって形成された大粒径を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減を図り、高品質な結晶性半導体膜を、ばらつきなく形成できるようにしている。

【0044】【実施例1】LPCVD装置を用いて成膜されたアモルファスシリコン膜30は、表面の処理をすることなく、レーザー・アニール装置へと挿入する。1度

目的のレーザー照射の雰囲気は真空であり、照射エネルギー密度は図6においてEaで示した上限値である。この照射により結晶粒の大型化が図られる。

【0045】 続いて取り出された多結晶シリコン膜には酸化膜を取り除くための表面処理として、5%程度の希フッ酸溶液によって數十秒程度のエッチャリングを行う。この表面処理に続いてすぐさま再度レーザーアニール装置へと搬入し、2度目のレーザー照射を真空雰囲気にて行う。照射エネルギー密度は同じく図6において上限値Eaより10mJ/cm²程度低くすることによって、その結晶性は1度目の大気中でのEaによる照射に比べて向上し、多結晶シリコン膜からの信号強度も半分以下に低下する。

【0046】 ここで図6はアモルファスシリコン膜へのレーザー照射の結果であって、厳密には多結晶シリコン膜にレーザー照射を行った場合とは、低エネルギー密度領域の様子が幾分異なるのであるが、上限値Eaの発現するエネルギー密度と、その前後の様子はアモルファスシリコン膜へのレーザー照射の結果と同じとみなせる。

【0047】 これにより大粒化された粒内の結晶性向上はもちろん、その周辺にある小型の結晶粒群ならびにその粒界の結晶性が向上することによって、TFT特性自体の向上と共に、基板内の素子ばらつきの低減が図られる。

【0048】 また、照射を行うレーザー光としてラインビームを用いているため、2度目のエネルギー光の照射は、ラインビームの長手方向を、1度目のレーザー照射のラインビーム長手方向とは90度回転している。これによってラインビームに生じている細かなエネルギー分布など不均一性を取り除くことが可能となり、基板内の結晶性の均一性向上に効果がある。

【0049】 この方法によって得られたTFT10の特性を図7に示す。実線で示したのが本発明を用いた結果であり、波線で示した1度の照射のみによって得られた半導体膜から作成されたTFTに比べて、結晶性の向上に起因すると思われる立ち上がり特性の向上が見られる。

【0050】 【発明の効果】 以上説明したように、本発明に係るアクリティブマトリクス基板では、多結晶シリコン膜を得るためのエネルギー光照射を表面処理を前後して2回行うことによって、結晶粒を大型化し、かつ高い結晶性を有す

る高品質な結晶性半導体膜を形成することができ、高い移動度のTFTを均一性よく製造することができる。

【図面の簡単な説明】

【図1】 (A)は、液晶表示装置のアクリティブマトリクス基板を模式的に示す説明図、(B)は、その駆動回路に用いたCMOS回路の説明図である。

【図2】 液晶表示装置のアクリティブマトリクス基板上の画素領域を拡大して示す平面図である。

【図3】 (A)は、図2のA-A'線における断面図、(B)は、図2のB-B'線における断面図である。

【図4】 本発明の実施例において、図2に示すA-A'線における断面に対するTFTの工程断面図である。

【図5】 レーザー溶融結晶化におけるエネルギー密度とシリコン膜に起きる変化との関係を示す説明図である。

【図6】 レーザー溶融結晶化におけるエネルギー密度と結晶性と表面粗さの関係を示すグラフである。

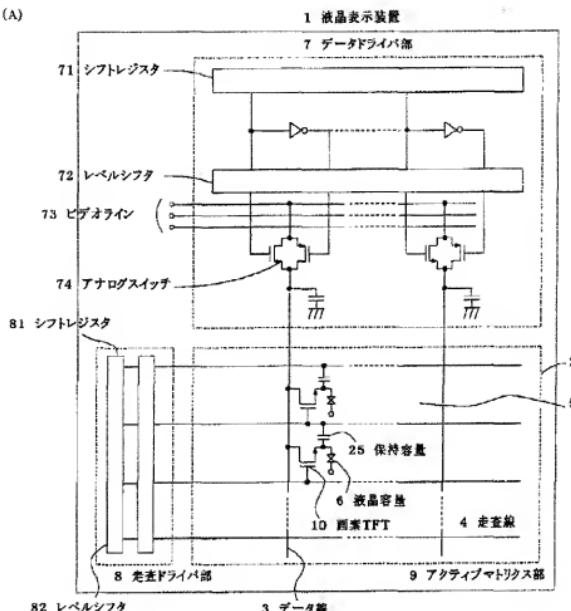
【図7】 本発明の実施例に係る結晶性半導体膜を用いて作成したTFTの電気特性を示すグラフである。

【符号の説明】

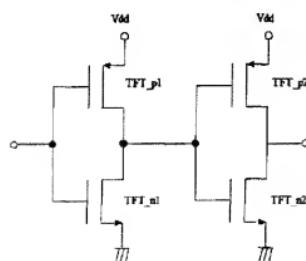
1	液晶表示装置
2	アクリティブマトリクス基板
3	データ線
4	走査線
5	画素領域
6	液晶容量
9	アクリティブマトリクス部
10	TFT
11	ソース領域
12	ドレイン領域
13	チャネル領域
14	ゲート絶縁膜
15	ゲート電極
16	層間絶縁膜
17, 18	コンタクトホール
19	画素電極
20	ガラス基板
21	下地保護膜
25	保持容量
30	シリコン膜(シリコン膜30)
31	島状のシリコン膜(シリコン膜30)

【図1】

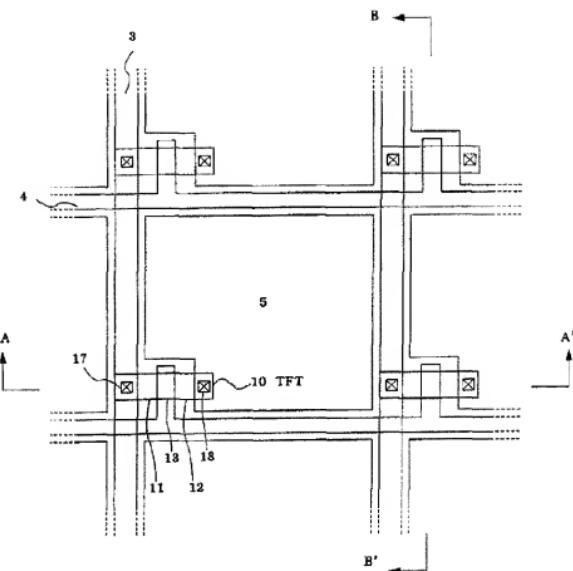
(A)



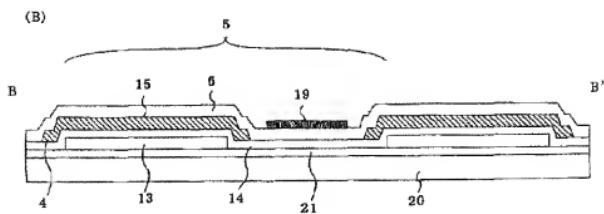
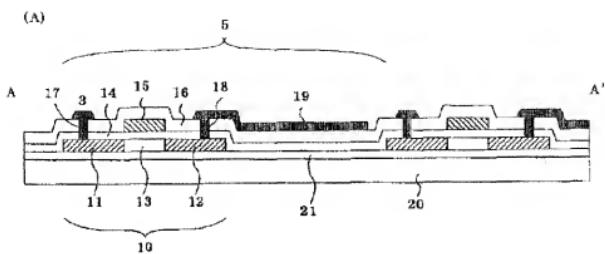
(B)



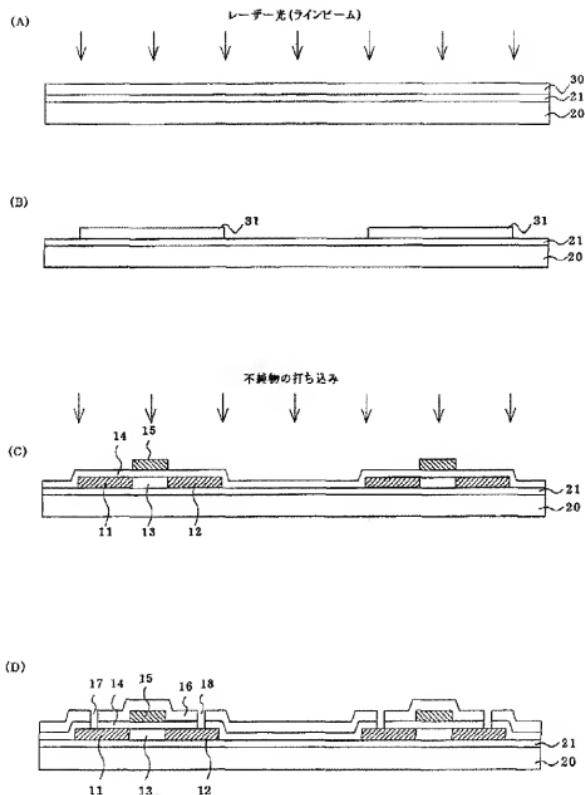
【図2】



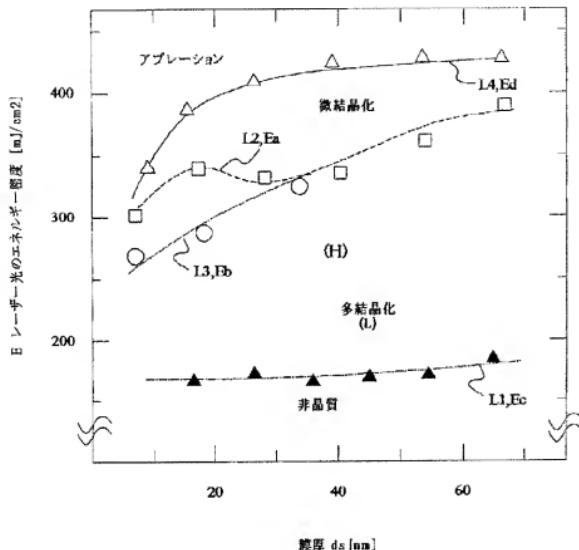
【図3】



【図4】

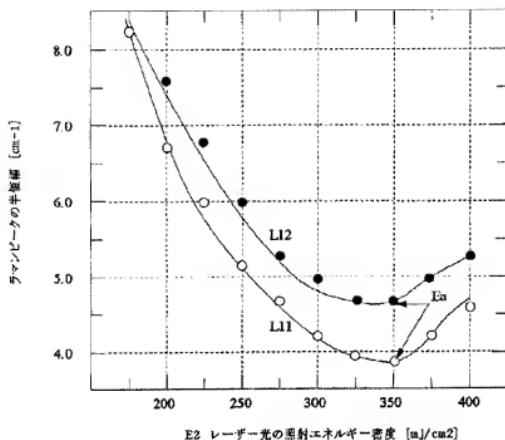


【図5】

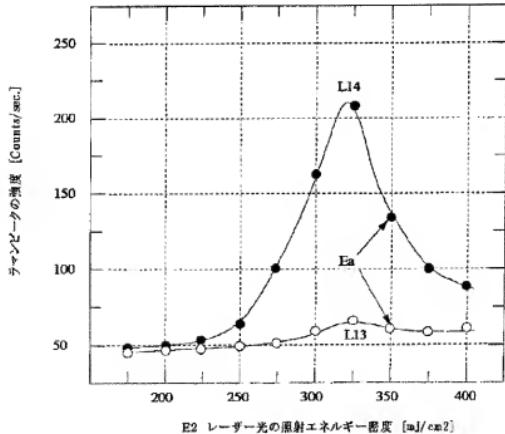


【図6】

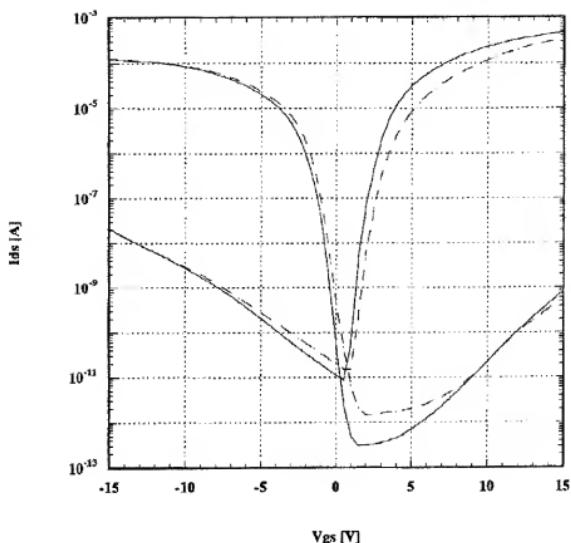
(A)



(B)



【図7】



フロントページの続き

(51)Int.Cl. 7

H01L 21/336

識別記号

F I

7-720-1 (参考)

Fターム(参考) 2H092 JA24 JA34 KA05 MA07 MA09
 MA29 MA30 NA24 NA27
 5C094 AA21 BA03 BA43 CA19 DA09
 DA13 DB04 ER02 FB03 FB14
 GB10 JA09
 SF052 AA02 BA02 BA07 BB07 CA04
 CA07 DA02 DR02 EA11 EA15
 FA19 HA01 JA01
 5F110 AA01 BB02 CC02 DD02 DD13
 DD24 EE04 EE44 FF02 FF30
 GG02 GG13 GG25 GG47 HJ01
 HJ23 NN02 NN04 NN23 NN35
 PP04 PP05 PP06 PP29 PP31
 QQ09 QQ11

(19) Japanese Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Patent Application Laid-Open No.: 2000-340503 (P2000-340503A)

(43) Laid-Open Date: December 8, 2000

(51) Int. Cl. ⁷	Discrimination Mark	FI	Theme Code (reference)
H 01 L 21/20		H 01 L 21/20	2H092
G 02 F 1/136	500	G 02 F 1/136	5C094
G 09 F 9/30	338	G 09 F 9/30	5F052
H 01 L 21/268		H 01 L 21/268	5F110
29/786		29/78	627G

Request of Examination: not requested

The Number of Claims: 12 OL (13 pages in total)

Continued on the last page

(21) Application No.: Hei 11-146394

(22) Application Date: May 26, 1999

(71) Applicant: 000002369

Seiko Epson Corporation
2-4-1, Nishishinjuku, Shinjuku-ku, Tokyo

(72) Inventor: Hiroyuki Abe

c/o Seiko Epson Corporation
3-3-5, Yamato, Suwa-shi, Nagano

(74) Agent: 100093388

Patent Attorney: Kisaburo SUZUKI (two others)

Continued on the last page

(54) [Title of the Invention] Method for Manufacturing Semiconductor Film, Method for Manufacturing Thin Film Transistor, Active Matrix Substrate

(57) [ABSTRACT]

[Object] It is an object to provide a method for manufacturing a high-quality semiconductor film which has a larger grain size, has high crystallinity, and has less surface roughness.

[Solving Means] Energy beam irradiation for obtaining a polycrystalline silicon film is carried out twice, where the first irradiation is carried out in vacuum without treatment for removing an oxide film at the surface of a semiconductor film, or carried out in the air or in an atmosphere except vacuum, filled with some gas.

Before the second irradiation, surface treatment for the semiconductor film is carried out, and after removing an oxide film, the second irradiation is carried out in vacuum. Furthermore, the intensity of the second energy beam irradiation is adapted not to exceed the irradiation intensity of the first energy beam.

[Scope of Claims]

[Claim 1] A method for manufacturing a semiconductor film, the method comprising a deposition step of forming a semiconductor film on substrate, and irradiating the semiconductor film with an energy

beam to obtain a crystalline semiconductor film, characterized in that the method comprises the steps of: carrying out first energy beam irradiation for the semiconductor film; subjecting the semiconductor film to a surface treatment after the step of carrying out the first energy beam irradiation; and carrying out second energy beam irradiation for the semiconductor film after the step of subjecting the semiconductor film to the surface treatment.

[Claim 2] The method for manufacturing a semiconductor film according to claim 1, characterized in that at least one of the first and second energy beams is a laser beam.

[Claim 3] The method for manufacturing a semiconductor film according to claim 2, characterized in that the laser beam is a line beam.

[Claim 4] The method for manufacturing a semiconductor film according to any one of claims 1 to 3, characterized in that the first energy beam irradiation is carried out in vacuum.

[Claim 5] The method for manufacturing a semiconductor film according to any one of claims 1 to 3, characterized in that the first energy beam irradiation is carried out in the air or in an atmosphere except vacuum, filled with a predetermined gas.

[Claim 6] The method for manufacturing a semiconductor film according to any one of claims 1 to 5, characterized in that the intensity of the first energy beam does not exceed a threshold of an energy intensity at which micro crystallization of the semiconductor film occurs.

[Claim 7] The method for manufacturing a semiconductor film according to any one of claims 1 to 6, characterized in that it comprises a step of removing an oxide film at a surface of the semiconductor film after the step of carrying out the first energy beam irradiation.

[Claim 8] The method for manufacturing a semiconductor film according to any one of claims 1 to 7, characterized in that the second energy beam irradiation is carried out in vacuum.

[Claim 9] The method for manufacturing a semiconductor film according to any one of claims 1 to 8, characterized in that the intensity of the energy beam in the second energy beam irradiation does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and does not exceed the irradiation intensity of the first energy beam.

[Claim 10] The method for manufacturing a semiconductor film according to any one of claims 1 to 9, characterized in that the longitudinal direction of the energy beam as the line beam in the second energy beam irradiation is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first energy beam irradiation.

[Claim 11] A method for manufacturing a thin film transistor, characterized in that a thin film transistor is formed using a crystalline semiconductor film obtained by the method for manufacturing a semiconductor film according to any one of claims 1 to 10.

[Claim 12] An active matrix substrate characterized in that it comprises a thin film transistor manufactured by the method for manufacturing a thin film transistor according to claim 11.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The present invention relates to a method for manufacturing a semiconductor film in which a semiconductor thin film formed on a substrate surface is irradiated with an energy beam to carry out crystallization treatment or treatment for improving the crystallinity, a method for manufacturing a thin film transistor (hereinafter, referred to as a TFT) with the use of the semiconductor film, an active matrix

substrate with the TFT manufactured according to the method, and an annealing apparatus for use in the method for manufacturing the semiconductor film.

[0002]

[Prior Art] For active matrix substrates for use in liquid crystal display devices, TFT manufacture according to low-temperature processes has been desired for the purpose of the use of inexpensive general-purpose glass substrates as the substrates. In such cases, for silicon films required for forming channel regions etc. of TFTs, amorphous silicon films can be formed by low-temperature processes, while the films have the drawbacks of low mobility of TFTs obtained directly from amorphous silicon.

[0003] Thus, a method (laser annealing) has been considered in which an amorphous silicon film formed on a substrate is irradiated with a laser beam (energy beam) for melting crystallization. In such melting crystallization with a laser beam, the crystal grain size, crystallinity, and surface roughness of a crystalline semiconductor film obtained vary depending on the intensity of the irradiation laser beam, the irradiation atmosphere, and the surface condition of the amorphous silicon film. The existence of molecules such as oxygen in the process atmosphere or on the surface of the amorphous silicon film will lead to crystal growth with the molecules as nuclei, resulting in increase in grain size, but with many defects.

Furthermore, significant roughness will be caused on the surface. On the other hand, when laser annealing is carried out in vacuum after removing by surface treatment an oxide film on the surface of the amorphous silicon film, the grain size will be somewhat small, but with high crystallinity and low surface roughness. Above all, the treatment condition for making the grain size larger results in relatively high TFT characteristics more easily. Therefore, laser annealing is carried out in the air.

[0004]

[Problem to be solved by the Invention] However, in the conventional methods for manufacturing a semiconductor film, in a case in which the channel portions of the TFTs fail to cover large grain sizes, the TFT characteristics will lower, causing variation from TFT to TFT. Furthermore, high surface roughness caused will result in problems such as decrease in the withstand voltage of the gate insulating film.

[0005] In view of these problems, an object of the present invention is to provide a method for manufacturing a high-quality semiconductor film, which allows for obtaining large grain sizes and reducing the variation by improving the crystallinity, as well as improving the gate threshold voltage by reducing the surface roughness, a method for manufacturing a TFT with the use of the semiconductor film, and an active matrix substrate with the TFT manufactured according to the method.

[0006]

[Means for Solving the Problem] In order to solve the problems described above, the present invention provides a method for manufacturing a semiconductor film, the method comprising a deposition step of forming a semiconductor film on substrate, and irradiating the semiconductor film with an energy beam to obtain a crystalline semiconductor film. The method is characterized in that the method comprises the steps of: carrying out first energy beam irradiation for the semiconductor film; subjecting the semiconductor film to a surface treatment after the step of carrying out the first energy beam irradiation; and carrying out second energy beam irradiation for the semiconductor film after the step of subjecting the semiconductor film to the surface treatment.

[0007] In the present invention, the semiconductor film is irradiated with the first energy beam in vacuum, or in the air, or in an atmosphere except vacuum, filled with a predetermined gas without treatment for removing an oxide film on the surface of the semiconductor film, in such a way that the intensity of the energy beam does not exceed the threshold of the energy intensity at which micro crystallization of the

semiconductor film occurs. Therefore, crystal growth with oxygen molecules or the like as nuclei can make the grain sizes of the crystals larger.

[0008] Subsequently, after carrying out surface treatment for removing an oxide film on the surface of the semiconductor film, the semiconductor film is irradiated with the second energy beam in vacuum, in such a way that the intensity of the energy beam does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and does not exceed the irradiation intensity of the first energy beam. Therefore, improvement of the crystallinity in the grains and reduction in surface roughness can be achieved without destroying the large grain size formed by the first irradiation.

[0009] Furthermore, the longitudinal direction of the energy beam as the line beam in the irradiation of the semiconductor film with the second energy beam is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first energy beam irradiation. Therefore, the elimination of the irradiation track with line beam further improves the uniformity of the crystallinity.

[0010] In the present invention, the combination of the two-step energy beam irradiation for crystallization with the timing of the surface treatment result in the semiconductor film with the large grain sizes and the highly uniform crystallinity. Therefore, when TFTs are manufactured with the use of the thus formed semiconductor film, great electrical characteristics can be obtained without variation from TFT to TFT.

[0011] The method for manufacturing a crystalline semiconductor film according to the present invention is preferable for manufacturing TFTs from a crystalline semiconductor film obtained by this method, and the TFTs manufactured by the method is preferable for constituting driving circuits and pixel switching elements on active matrix substrates for liquid crystal display devices which require highly efficient electrical characteristics in large-sized substrates.

[0012]

[Embodiment Modes of the Invention] Prior to describing each embodiment mode of the present invention, the basic structure configuration of an active matrix substrate and the basic steps for forming TFTs will be described which are common to each mode.

[0013] [Basic Configuration of Active Matrix Substrate] FIG 1(A) is an illustration diagram schematically illustrating the configuration of an active matrix substrate for use in a liquid crystal display device.

[0014] In the figure, a liquid crystal display device 1 has data lines 3 and scan lines 4 formed on an active matrix substrate 2, and a pixel electrode is connected via a pixel thin film transistor 10 to each of the data lines 3 and each of the scan lines 4 to form a pixel region 5 on the matrix. Furthermore, a pixel signal is input thereto via the pixel thin film transistor 10 to create a liquid crystal capacitance 6 of a liquid crystal cell.

[0015] For the data lines 3, a data driver portion 7 is configured which includes a shift register 71, a level shifter 72, video lines 73, and analog switches 74, whereas for the scan lines 4, a scan driver portion 8 is configured which includes a shift register 81 and a level shifter 82. It is to be noted that a retention capacitance 25 may be formed between the pixel region 5 and the scan line 4 in the previous stage.

[0016] In the data driver portion 7 and the scan driver portion 8, CMOS circuits composed of N-type TFTs n1 and n2 and P-type TFTs p1 and p2, etc. are densely formed, like a two-stage inverter exemplified in FIG. 1(B). However, the TFT 10 in an active matrix portion 9 and the TFTs n1 and n2 and the P-type TFTs p1 and p2 in the data driver portion 7 have the same basic structure, and are fundamentally manufactured in the same step.

[0017] As the active matrix substrate 2, a substrate on which only the active matrix portion 9 is configured, a substrate on which the data driver portion 7 is configured along with the active matrix portion 9, a

substrate on which the scan driver portion 8 is configured along with the active matrix portion 9, and a substrate on which both the data driver portion 7 and the scan driver portion 8 are configured along with the active matrix portion 9 can be cited. Even in the case of the built-in driver type active matrix substrate 2, a completely built-in driver type with all of the shift register 71, the level shifter 72, the video lines 73, the analog switches 74, etc. included in the data driver portion 7 configured on the active matrix substrate 2, and a partially built-in driver type with some of them configured on the active matrix substrate 2 can be cited. The present invention can be applied to any of these substrates.

[0018] FIG. 2 is a plan view illustrating an enlarged portion of the active matrix portion in which the pixel regions 5 are formed in the active matrix substrate 2 according to the present embodiment, where FIG. 3(A) is a cross-sectional view taken along the line A-A' line in FIG. 2, whereas FIG. 3(B) is a cross-sectional view taken along the line B-B' line in FIG. 2. It is to be noted that the TFTs of the data driver portion 7, etc. have the basically same structure, and the illustration of the TFTs will be thus omitted.

[0019] In the figures, the TFT 10 in each pixel region 5 is composed of a source region 11 electrically connected to the data line 3 via a contact hole 17 formed in an interlayer insulating film 16, a drain region 11 electrically connected to a pixel electrode 19 via a contact hole 18 formed in the interlayer insulating film 16, a channel region 13 located between the drain region 12 and the source region 11, and a gate electrode 15 over the channel region 13 with a gate insulating film 14 interposed therebetween. This gate electrode 15 is configured as a part of the scan line 4. Further, a base protective film 21 composed of a silicon oxide film is formed on the surface side of a substrate 20.

[0020] [Basic Configuration of Method for Manufacturing Active Matrix Substrate 2] Basic steps of a method for manufacturing TFTs will be described with reference to FIG. 4. FIG. 4 is cross-sectional views of steps for a TFT, which correspond to the cross section along the line A-A' in FIG. 2.

[0021] In this example, a non-alkali glass plate 300 mm on a side is used as a glass substrate to carry out each step below (Base Protective Film Forming Step) In FIG. 4(A), a silicon oxide film 300nm in film thickness, which will serve as the base protective film 21, is first formed on the surface of the glass substrate 20 by PECVD under the temperature condition of 250 to 400 °C. The silicon oxide film can also be formed by APCVD, and in this case, a silicon oxide film is formed with monosilane and oxygen as a source gas, with the temperature of the substrate 20 set in the range of 250 °C to 450 °C.

[0022] (Semiconductor Film Deposition Step) Next, an intrinsic silicon film 30 (semiconductor film) on the order of 50 nm is deposited on the surface of the base protective film 21. In this example, a high vacuum LPCVD apparatus is used to deposit an amorphous silicon film at a deposition temperature 425 °C while flowing disilane as a source gas at 200 SCCM. It is to be noted that PECVD and sputtering may be used for the formation of the silicon film 30, and according to these methods, their deposition temperatures can be set in the range of room temperature to 350 °C.

[0023] (Annealing Step through Laser Melting Crystallization) Subsequently, the amorphous silicon film 30 is irradiated with a laser beam to modify the amorphous silicon film 30 into polycrystalline silicon. In the example, the amorphous silicon film 30 is irradiated with xenon chloride (XeCl) excimer laser (wavelength 308 nm). This laser beam with an output of 200 W is formed, through an optical system, into a line beam which is 150 mm in the longitudinal direction and has a cross section in a trapezoidal shape with an upper base of 0.35 nm and a lower base of 0.45 mm. Then, the amorphous silicon film is made into a polycrystalline silicon film through melting crystallization, by irradiating the substrate with this line beam while overlapping the line beam at a pitch of the beam width of the upper base or less.

[0024] In the present invention, the laser irradiation in the annealing step is carried out twice, and surface treatment for removal of an oxide film is carried out between the former laser irradiation and the latter laser irradiation. A detailed description thereof will be described later in the embodiment mode.

[0025] (Patterning Step for Silicon Film) Next, as shown in FIG. 4(B), the silicon film 30 poly-crystallized in the annealing step is subjected to patterning with the use of a photolithography technique, into island-shaped silicon films 31.

[0026] (Step of Forming Gate Insulating Film) Next, as shown in FIG. 4(C), a gate oxide film 14 composed of a silicon oxide film is formed on the silicon films 31 by PECVD under the temperature condition of 250 °C to 450 °C.

[0027] (Gate Electrode forming Step) Next, after a tantalum thin film 600 nm in film thickness is formed by sputtering on the surface side of the gate oxide film 14, the tantalum thin film is subjected to patterning with the use of a photolithography technique to form gate electrodes 15. In this example, when the tantalum thin film is formed, the substrate temperature is set to 180 °C, and argon gas containing 6.7 % nitrogen gas is used as a sputtering gas. The thus formed tantalum thin film has a crystal structure of α structure, and a small specific resistance.

[0028] (Impurity Introduction Step) Next, a bucket non-mass separation type ion implantation apparatus (an ion doping apparatus) is used to implant impurity ions into the silicon film 31 with the gate electrodes 15 as a mask. In a case in which an N-channel type TFT is to be formed, phosphine diluted with hydrogen gas into a concentration of 5% is used as a source gas. As a result, the source region 11 and the drain region 12 are formed in a self-alignment manner with respect to the gate electrode 15. At this time, a portion of the silicon film 31 into which no impurity ions are implanted will serve as a channel region. At this time, a region where a P-channel type TFT is to be formed is covered with a resist mask.

[0029] In an opposite manner, in a case in which an P-channel type TFT is to be formed, diborane diluted with hydrogen gas into a concentration of 5% is used as a source gas. In this case, the region in which the N-channel type TFT is formed is covered with a resist mask.

[0030] (Step for Forming Interlayer Insulating Film) Next, as shown in FIG. 4(D), a silicon oxide film 500 nm in film thickness as an interlayer insulating film 16 is formed by PECVD under the temperature condition of 250 °C to 400 °C. The source gas in this case is TEOS and oxygen.

[0031] (Activation Step) Next, heat treatment is carried out at 400 °C for one hour under an argon atmosphere containing 3% hydrogen to activate the implanted phosphorus ions and modify the interlayer insulating film 16.

[0032] (Wiring Step) Next, contact holes 17 and 18 are formed in the interlayer insulating film 16. Thereafter, as shown in FIG. 3(A), a source electrode (the data line 3) and a drain electrode (the pixel electrode 19) are electrically connected to the source region 11 and the drain region 12 through the contact holes 17 and 18, respectively to form the TFT 10.

[0033] It is to be noted that although the manufacturing method described above is an example in which the TFT 10 is manufactured as a self-alignment structure, the present invention can be applied in a case in which the TFT 10 is manufactured to have an LDD structure or an offset gate structure. A description of the structure and manufacturing method in this case will be omitted, where a resist mask or sidewalls are utilized to form lightly doped drain regions (LDD regions) or offset regions in portions of the source and drain regions which stand face to face with the ends of the gate electrode 15.

[0034] [Energy Density During Laser Irradiation and Film Quality] Next, the relationship between the energy density (energy intensity) of the laser beam with which the amorphous silicon film 30 is irradiated

and the film quality after the laser irradiation in the annealing step described with reference to FIG. 4(A) will be described with reference to FIGS. 5 and 6.

[0035] In any mode of the present invention, an amorphous silicon film is poly-crystallized by laser melting crystallization, as will be described later. In this laser melting crystallization, as shown in FIG. 5, with increase in energy density E, the silicon film is melted and coagulated to become polycrystalline with E_c represented by a symbol “▲” and an alternate long and short dash line L1 or more. In this case, the more the energy density E is increased, the more the poly-crystallization proceeds. However, when the energy density E exceeds E_a represented by a symbol “□” and a dotted line L2, the silicon film will undergo micro crystallization, leading to decrease in mobility.

[0036] Furthermore, in a case in which the film thickness of the silicon film is small, the silicon film returns to an amorphous silicon film when the energy density E exceeds E_b represented by a symbol “○” and a alternate long and two short dashes line L3, even if the energy density E does not exceed E_a . It is to be noted that the silicon film will be evaporated and ablated when the energy density E exceeds E_d represented by a symbol “△” and a solid line L4.

[0037] Furthermore, the crystallinity and surface roughness of the silicon film in the case of changing the energy density E of pulsed oscillation laser beams are shown in FIG. 6, where a symbol “○”, a solid line L11 in FIG. 6(A), and a line L13 in FIG. 6(B) show results of carrying out surface treatment for removal of an oxide film before laser irradiation, and then carrying out laser irradiation in vacuum, whereas a symbol “●”, a solid line L12 in FIG. 6(A), and a line L14 in FIG. 6(B) show results of carrying out laser irradiation in vacuum without carrying out surface treatment before laser irradiation. Furthermore, carrying out laser irradiation in the air or an atmosphere dilled with some gas will provide results equivalent to the latter.

[0038] The vertical axis of FIG. 6(A) represents the half value width of a Raman peak. Therefore, FIG. 6(A) shows that the smaller the half value width is, the higher the crystallinity is. Furthermore, the vertical axis of FIG. 6(B) represents the intensity of a Raman peak. Therefore, FIG. 6(B) shows that the smaller the value of the intensity is, the less the light scattered from the semiconductor film surface is, that is, the smaller the surface roughness is.

[0039] As can be seen from comparison of these results, in the laser melting crystallization, setting the highest value of the energy density E to a value fairly close to the upper limit E_a allows the crystallinity to be increased, and carrying out laser irradiation in vacuum after carrying out surface treatment for the amorphous film results in higher crystallinity. The half value width of the Raman peak soars just after slightly exceeding the upper limit E_a , which shows that micro crystallization of the silicon film is caused.

[0040] On the other hand, the surface roughness reaches its maximum at an energy density slightly lower than the upper limit E_a of the energy density E, which is rather significant in particular in the case of carrying out laser irradiation in vacuum without carrying out surface treatment before the laser irradiation, or in the case of carrying out laser irradiation in the air or in an atmosphere filled with some gas.

[0041] As a condition which determines characteristics of the TFT 10, it is preferable that the silicon film 30 has higher crystallinity. However, the size of crystal grains forming the semiconductor film further has a much greater impact. In general, in order to try to make the crystal grains larger, the existence of molecules such as oxygen in a process atmosphere or on the surface of the amorphous silicon film easily make the grain size larger, because crystal growth is developed with the molecules as nuclei. Therefore, in spite of the problems such as the crystallinity and surface roughness described above, crystallization is carried out laser without irradiation in the air or carrying out surface treatment for the amorphous film.

[0042] However, in such crystallization approaches, differences in the electrical characteristics of the TFT 10 are caused between a case in which larger crystal grains are located in the channel portion of the TFT 10 and a case in which a group of smaller crystal grains existing to bridge spaces between larger crystal grains are located in the channel portion of the TFT 10, which will cause variations. As especially described above, the crystallinity of a group of small crystal grains obtained in this case is not high, which has a significant impact. Furthermore, large surface roughness caused at the surface of the semiconductor film will cause a problem of decrease in the withstand voltage of the gate insulating film covering this semiconductor film.

[0043] Thus, the present invention is characterized in that laser irradiation is carried out twice, where crystal grains are made larger by carrying out laser irradiation in vacuum or carrying out laser irradiation in the air or in an atmosphere filled with some gas, without carrying out surface treatment of the amorphous film before the first irradiation. Subsequently, surface treatment for the polycrystalline silicon film obtained by the first irradiation is carried out before the second irradiation, and after removing the oxide film, the second laser beam irradiation is carried out in vacuum. The energy beam intensity in this case is an intensity which does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and also an intensity which does not exceed the irradiation intensity of the first energy beam, thereby without destroying the large crystal grains formed by the first irradiation, allowing for improvement in the crystallinity in the grains and reduction in the surface roughness and allowing high-quality crystalline semiconductors film to be formed without variation from film to film.

[0044] [Embodiment 1] The amorphous silicon film 30 deposited with the use of an LPCVD apparatus is brought into a laser annealing apparatus without any surface treatment. The atmosphere for the first laser irradiation is in vacuum, and the irradiation energy density is the upper limit represented by E_a in FIG. 6. This irradiation makes the crystal grains larger.

[0045] Subsequently, the polycrystalline silicon film taken out is subjected to etching with a diluted hydrofluoric acid solution on the order of 5% for approximately several tens of seconds, as surface treatment for removing an oxide film. Immediately following this surface treatment, the silicon film is again brought into the laser annealing apparatus, where the second laser irradiation is carried out in a vacuum atmosphere. The irradiation energy density is likewise about 10 mJ/cm^2 lower than the upper limit E_a in FIG. 6, thereby improving the crystallinity as compared with the first irradiation at E_a in the air and decreasing the signal intensity from the polycrystalline silicon film to the half or less.

[0046] FIG. 6 here shows the result of the laser irradiation for the amorphous silicon film, and in a narrow sense, which are somewhat different in the behavior of the low energy density region from in the case of the laser irradiation for the polycrystalline silicon film. However, the energy density developing the upper limit E_a and the behavior around the upper limit E_a can be regarded as the same result as that of the laser irradiation for the amorphous silicon film.

[0047] Thus, improvement in the crystallinity in the grains which have sizes made larger, as well as improvement in the crystallinity of a group of smaller crystal grains around the larger grains and the crystallinity at grain boundaries result in improvement in TFT characteristics themselves and reduce variation from element to element in the substrate.

[0048] Furthermore, since the line beam is used as the laser beam for carrying out the irradiation, the longitudinal direction of the line beam in the second energy beam irradiation is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first laser irradiation. This allows ununiformity

such as a fine energy distribution caused in the line beam to be removed, which is effective for improving the uniformity of the crystallinity in the substrate.

[0049] Characteristics of the TFT 10 which are obtained by this method are shown in FIG. 7. The characteristics represented by the solid line result from the use of the present invention, from which improvement in rising characteristics which seems to arise from improvement in the crystallinity can be observed, as compared with characteristics represented by a dashed line for a TFT created from a semiconductor film obtained by irradiation only once.

[0050]

[Advantageous Effect of the Invention] As described above, for the active matrix substrate according to the present invention, carrying out the energy beam irradiation for obtaining a polycrystalline silicon film twice before and after the surface treatment makes it possible to make the crystal grains larger and form a high-quality crystalline semiconductor film with higher crystallinity, allowing high mobility TFTs to be manufactured uniformly.

[Brief Description of the Drawings]

[FIG. 1] (A) is an illustration diagram schematically illustrating an active matrix substrate of a liquid crystal display device; and (B) is an illustration diagram of a CMOS circuit used in a driving circuit thereof.

[FIG. 2] FIG. 2 is a plan view illustrating an enlarged portion of pixel regions on the active matrix substrate of the liquid crystal display device.

[FIG. 3] (A) is a cross-sectional view taken along the line A-A' in FIG. 2, and (B) is a cross-sectional view taken along the line B-B' in FIG. 2.

[FIG. 4] Cross-sectional views of steps for a TFT, for the cross section along the line A-A' shown in FIG. 2 in an embodiment of the present invention.

[FIG. 5] An illustration diagram which shows the relationship between the energy density in laser melting crystallization and the change caused in the silicon film.

[FIG. 6] Illustration diagrams which show the relationship between the energy density in laser melting crystallization and the crystallinity or the surface roughness.

[FIG. 7] A graph which shows electrical characteristics of a TFT created with the use of a crystalline semiconductor film according to an embodiment of the present invention.

[Explanation of the Reference Numerals and Signs]

- 1 liquid crystal display device
- 2 active matrix substrate
- 3 data line
- 4 scan line
- 5 pixel region
- 6 liquid crystal capacitance
- 9 active matrix portion
- 10 TFT
- 11 source region
- 12 drain region
- 13 channel region
- 14 gate insulating film
- 15 gate electrode

- 16 interlayer insulating film
- 17, 18 contact holes
- 19 pixel electrode
- 20 glass substrate
- 21 base protective film
- 25 retention capacitance
- 30 silicon film (silicon film 30)
- 31 island-shaped silicon film (silicon film 30)

Continued from the front page

(51) Int. Cl.⁷ Discrimination Mark

FI

Theme Code (reference)

H 01 L 21/336

F term (reference)	2H092	JA24	JA34	KA05	MA07	MA09
			MA29	MA30	NA24	NA27
	5C094	AA21	BA03	BA43	CA19	DA09
		DA13	DB04	EB02	FB03	FB14
		GB10	JA09			
	5F052	AA02	BA02	BA07	BB07	CA04
		CA07	DA02	DB02	EA11	EA15
		FA19	HA01	JA01		
	5F110	AA01	BB02	CC02	DD02	DD13
		DD24	EE04	EE44	FF02	FF30
		GG02	GG13	GG25	GG47	HJ01
		HJ23	NN02	NN04	NN23	NN35
		PP04	PP05	PP06	PP29	PP31
		QQ09	QQ11			